

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-069956

(43)Date of publication of application : 05.03.1992

(51)Int.Cl.

H01L 23/00

(21)Application number : 02-181528

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.07.1990

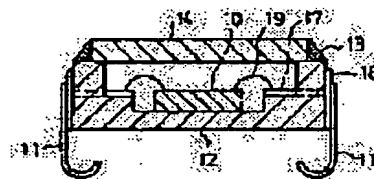
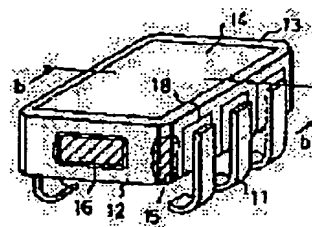
(72)Inventor : KUBOTA YOSHIHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To absorb or buffer shock with a solder pattern even if there is mutual collision of packages in transportation or handling so as to prevent the crack or breakage of a corner by providing a solder pattern at the corner part or the side face of a ceramic package board.

CONSTITUTION: A semiconductor chip 10 is loaded on a ceramic package 12, and the electrode and the inner lead 17 are connected by a wire 19, and then the ceramic cap 14 is attached airtightly by a sealing material 13. Lastly, soldering is applied to the corner part and the metallized pattern for soldering plated with Au, and the solder pattern 15 at the corner and the solder pattern 16 at the side are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-69956

⑤ Int. Cl.³

H 01 L 23/00

識別記号

庁内整理番号

④ 公開 平成4年(1992)3月5日

C

7220-4M

審査請求 未請求 請求項の数 2 (全4頁)

⑬ 発明の名称 半導体装置

⑭ 特 願 平2-181528

⑮ 出 願 平2(1990)7月11日

⑯ 発 明 者 久 保 田 義 浩 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑱ 代 理 人 弁 理 士 青 木 朗 外 4 名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体チップ(10)と、該半導体チップを搭載し、且つ側面の対向する2面にロー付けされた外リード(11)を有するセラミックパッケージ基板(12)と、該セラミックパッケージ基板(12)に封止材(13)により気密封止されたキャップ(14)とよりなる半導体装置において、

上記セラミックパッケージ基板(12)の少なくともコーナー部か、又は側面のうちの外リード(11)を有しない方の2面にメタライズ層を介して半田パターン(15・16)が設けられて成ることを特徴とする半導体装置。

2. 上記メタライズ層は外リード取付用のメタライズパターン(18)と同一材料で同時に形成されたものであることを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

〔概 要〕

電子機器のプリント板に搭載される表面実装用半導体装置に関し、

セラミックパッケージの輸送途中又は取扱中にパッケージ同士の衝突により発生する欠けやクラックの発生を防止することを目的とし、

半導体チップと、該半導体チップを搭載し、且つ側面の対向する2面にロー付けされた外リードを有するセラミックパッケージ基板と、該セラミックパッケージ基板に封止材により気密封止されたキャップとよりなる半導体装置において、上記セラミックパッケージ基板の少なくともコーナー部か、又は側面のうちの外リードを有しない方の2面にメタライズ層を介して半田パターンが設けられて成るように構成する。

〔産業上の利用分野〕

本発明は電子機器のプリント板に搭載される表面実装用半導体装置に関する。

〔従来の技術〕

従来の表面実装用半導体装置は第3図に示すようなリードレスチップキャリア(LCC)が主流であった。これはセラミックパッケージ基板1の凹部にチップ2が搭載され、その電極と基板外周の溝の中に形成された端子3との間がワイヤ4で配線され、さらに基板1の凹部が封止材5を用いてキャップ6により封止されている。

このリードレスチップキャリアでは、セラミック配線基板への表面実装には問題ないが、樹脂プリント基板への実装はパッケージとセラミック基板との熱膨張係数の違いから半田付け部に応力が発生して割離などを生ずるため、使用できないという問題があった。

しかし、近年、第4図に示すようなJ形をしたリード7を対向する2辺に有するSOJ型のプラスチックパッケージと外形の互換性を有するセラミックSOJ型パッケージ(第5図に示す)が開発され、前記の熱膨張係数の違いによる不具合を解消し、セラミックパッケージでもプリント板

表面実装用として用いられるようになって来ている。

〔発明が解決しようとする課題〕

上記従来のセラミックSOJ型パッケージでは、プラスチックSOJ型パッケージと外形の互換性が前提条件となっているため、外形の制約を受け、第5図のようにパッケージ端面とリードロー付パターン8との間隔が0.3mm程度と狭い。このためコーナー部に応力が集中し、輸送途中又は取扱中のパッケージ同士の衝突により欠け9やクラックが発生するという問題があった。この対策としてパッケージのコーナー部に面取を施しても、その面取の大きさを大きくとれないため、十分な効果は得られず根本対策とはならない。

本発明は上記従来の問題点に鑑み、輸送途中又は取扱中にパッケージ同士の衝突により発生するコーナー部の欠けやクラックを防止可能とした半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

上記目的を達成するために本発明の半導体装置では、半導体チップ10と、該半導体チップを搭載し、且つ側面の対向する2面にロー付けされた外リード11を有するセラミックパッケージ基板12と、該セラミックパッケージ基板12に封止材13により気密封止されたキャップ14とよりなる半導体装置において、上記セラミックパッケージ基板12の少なくともコーナー部か、又は側面のうちの外リード11を有しない方の2面にメタライズ層を介して半田パターン15、16が設けられて成ることを特徴とする。

〔作用〕

セラミックパッケージ基板12のコーナー部又は側面に形成された半田パターン15、16がパッケージ同士の衝突の際の衝撃を吸収又は緩衝するため、パッケージコーナー部の欠けを防止することができる。

〔実施例〕

第1図は本発明の実施例を示す図であり、(a)は斜視図、(b)はa図のb-b線における断面図である。

本実施例は同図に示すように、半導体チップ10を搭載する凹部を有し、且つ側面の対向する2面に外リード11を有するセラミックパッケージ基板12に、半導体チップ10を搭載し、AuSn合金又は低融点ガラス等の封止材13を用いてセラミックキャップ14により凹部を封止して成るSOJ型半導体装置において、そのセラミックパッケージ基板12のコーナー部及び外リード11を有しない側面にメタライズ層を介して半田パターン15、16を設けたものである。

このように構成された本実施例は、輸送中又は取扱中にパッケージ同士が衝突しても、コーナー部の半田パターン15又は側面の半田パターン16が接触し、衝突時の衝撃を吸収又は緩衝し、パッケージの破損を防止することができる。

次に本実施例の作成手順を説明すると、先ずセ

ラミックパッケージ基板12は、その焼成前に予めインナーリード17及び該インナーリードに接続する外リード取付用パターン18と、コーナー部及び側面の半田付け用パターンがタングステンメタライズ用ペーストで印刷され、その後焼成される。次にメタライズ面に磁器Niがめっきされ、外リード取付用パターン18にはタイバーにより連結された外リード11が銀ロー等でロー付けされ、NiめっきとAuめっきが施されさらに該外リード11はタイバーが除去され、J形に成形される。次いでこのセラミックパッケージ基板12には、半導体チップ10が搭載され、その電極とインナーリード17との間がワイヤ19で配線された後、封止材13によりセラミックキャップ14が封着される。最後にコーナー部及び側面のAuめっきされたメタライズの半田付け用パターンに半田付けがなされ、コーナー部の半田パターン15及び側面の半田パターン16が形成されるのである。

上記作成手順によれば半田パターン15・16の下地となるタングステンメタライズパターンはイン

ナーリード17及び外リード取付用パターン18と同時に形成でき、また半田パターン15・16は外リード11の予備半田付け時に同時に半田付けできるので、半田パターン用のメタライズパターン及び半田パターンの形成については特別な工数を要せず容易に形成することができる。

なお上記のメタライズ層の厚みは10~20 μ m程度であり、その上に施されるNiやAuめっきの厚さも数 μ m程度で、半田付け後の半田厚さも40~50 μ m程度にコントロールできるので外形サイズが0.1mm以上大きくなることはない。従ってプラスチックSOJパッケージとの外形の互換性が保たれるとともに、外リードの予備半田により半田実装部の信頼性の向上にもなる。

第2図は本発明の他の実施例を示す図である。同図において第1図と同一部分は同一符号を付して示した。

本実施例の構成は基本的には前実施例と同様であり、異なるところは外リード11をL型のリード(ガルウィング型)としたことである。従ってそ

の作用効果は前実施例と全く同様である。また本実施例において、金属キャップを用いることもできるが、キャップに半田がつくため、半田付作業の容易さを考慮するとセラミックキャップと封止材として低融点ガラスを使用する方が好ましい。なお半導体チップとセラミックパッケージ基板との接続にはAu-Si共晶やAgガラスが用いられる。

〔発明の効果〕

以上説明した様に、本発明によれば、セラミックパッケージ基板のコーナー部あるいは側面に半田パターンを設けたことにより、輸送又は取扱中にパッケージ同士の衝突があっても、その衝撃を半田パターンが吸収又は緩衝するためコーナー部のクラックや破損を防止することができ、半導体装置の品質向上に寄与することができる。

4. 図面の簡単な説明

第1図は本発明の実施例を示す図、

第2図は本発明の他の実施例を示す図、

第3図は従来のリードレスチップキャリアを示す図、

第4図は従来のSOJ型プラスチックパッケージを示す図、

第5図は従来のSOJ型セラミックパッケージを示す図である。

図において、

10は半導体チップ、

11は外リード、

12はセラミックパッケージ基板、

13は封止材、

14はセラミックキャップ、

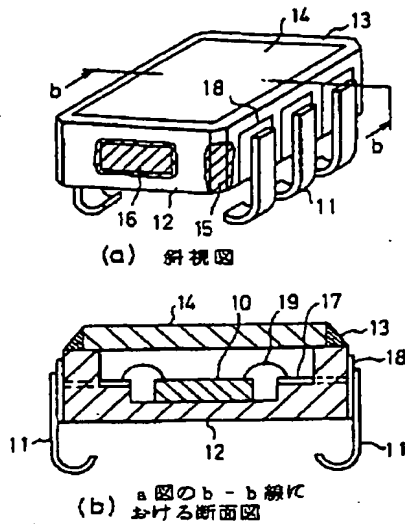
15・16は半田パターン、

17はインナーリード、

18は外リード取付用パターン、

19はワイヤ

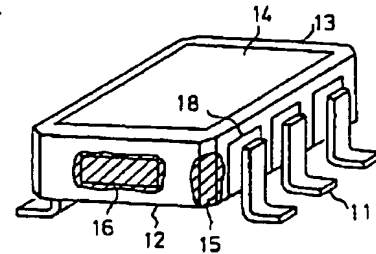
を示す。



本発明の実施例を示す図

第 1 図

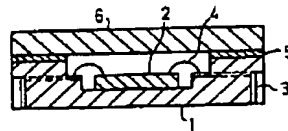
- 10…半導体チップ
- 11…外リード
- 12…セラミックパッケージ基板
- 13…封止材
- 14…セラミックキャップ
- 15, 16…半田パターン
- 17…インナーリード
- 18…外リード取付用パターン
- 19…ワイヤ



本発明の他の実施例を示す図

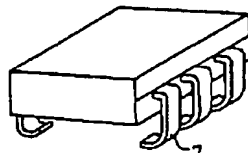
第 2 図

- 11…外リード
- 12…セラミックパッケージ基板
- 13…封止材
- 14…セラミックキャップ
- 15, 16…半田パターン



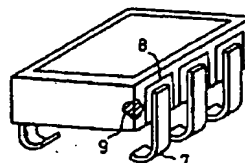
従来のリードレスチップキャリアを示す図

第 3 図



従来のSOJ型プラスチックパッケージを示す図

第 4 図



従来のSOJ型セラミックパッケージを示す図

第 5 図